

一种支持全双工数据传输的多通道 DMA 控制器设计

石文侠, 吴龙胜, 盛廷义, 艾 刁, 陈庆宇

(西安微电子技术研究所, 陕西 西安 710065)

摘 要: 针对 DMA 数据传输中读写操作互斥及互锁问题, 本文提出了一种基于 AHB 总线的流水化 DMA 控制器设计方案. 通过内嵌两个 AHB 主机和数据缓冲区, 实现了数据读写操作并行; 通过多通道设计, 避免了读写访问不能同时结束时的额外传输等待时间, 使读写操作更独立. 该设计与现有的 DMA 控制器相比, 缩短了数据传输延迟, 提高了数据传输效率, 实现了全双工流水传输.

关键词: 全双工; 多通道; DMA 控制器; 流水化; 并行

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)02-0076-04

Design of DMA Controller Supporting Full-duplex Data Transmission and Multi-channel

SHI Wen-xia, WU Long-sheng, SHEGN Ting-yi, AI Diao, CHEN Qing-yu

(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: For the exclusive and interlocking problems in DMA data reading and writing operations, the DMA design scheme based on AHB bus is proposed. Read and write operations parallel execution is implemented by embedded two AHB masters and a data buffer. Multi-channel design which avoids the additional time wasted when read and write access can't end synchronously make the read and write operation more independent. Compared with the existing design of DMA controller, the design reduces the transmission delay and improves the speed of data transfer with achieving full-duplex streaming transmission.

Key words: full-duplex; multi-channel; DMA controller; streaming; parallel

1 引言

DMA(直接存储器访问)控制器已经广泛应用于实时数据采集^[1]、内存间数据拷贝^[2]等高速大批量数据传输场合, 但普遍存在的读写操作互斥及互锁问题限制着 DMA 数据传输速率的进一步提高. 互斥是指由于 DMA 控制器只设计一个片内总线主机或系统内总线不满足多层 AHB 总线架构^[3], 导致数据传输时读写操作无法并行. 对于多主机的 DMA 控制器, 当读写操作的传输方式不一致或者读写操作处于不同域时, 读写操作不能同时结束而引入额外操作等待时间, 即读写操作互锁. 文献[4-5]中 DMA 传输时, 读操作率先启动, 从源地址读取数据至 FIFO, 当 FIFO 中的数据够一次突发操

作时, 触发写操作, 读写操作交替. 文献[6]中采用“双总线”结构使读操作和写操作构成流水, 但是单通道的设计使得两个主机异步或者源与目的突发尺寸不同时, 率先完成突发任务的外设必须等待数据接收过程结束.

针对以上问题, 本文利用文献[7]中并行传输机制的思想, 提出一种基于 AHB 总线的全双工数据传输的多通道 DMA 控制器设计方案. 通过内嵌两个 AHB 主机和数据缓冲区, 构架多层总线结构来实现流水化传输, 提高数据传输的并行性. 多通道增加读写操作的独立性, 避免互锁所导致的等待. 同时, 通道数量的设计根据 DMA 请求源的数目, 避免通道数目设计不合理对 DMA 控制器的性能和成本的影响^[8].

2 DMA 控制器的结构

该 DMA 控制器的结构如图 1 所示,主要包括以下部分.

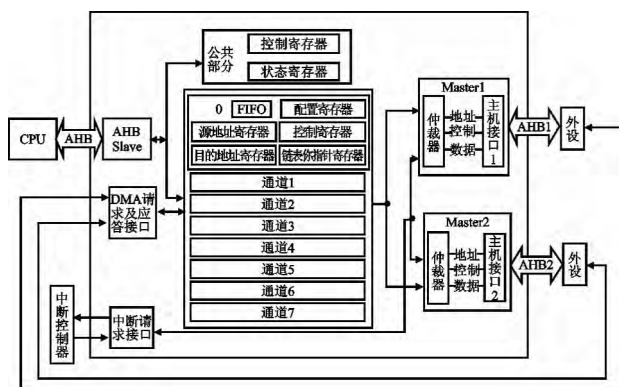


图 1 DMA 控制器的结构框图

(1) AHB Master 模块:包括两个 32 位的 AHB 主机,用于通道传输,支持两个主机接口异步,每一个 AHB 主机都可以处理 AHB 所有的传输类型:重试、分块和错误、锁定传输、设置保护位等;

(2) AHB Slave 模块:CPU 通过 AHB slave 接口配置 DMA 控制器传输方式,读取各种状态寄存器;

(3) 公共寄存器组:分为控制寄存器和状态寄存器两部分,主要包括中断状态寄存器、中断屏蔽寄存器、中断清零寄存器、通道使能状态寄存器、软件请求寄存器以及 DMA 同步寄存器;

(4) 通道寄存器组:包括源地址寄存器、目的地址寄存器、链表指针寄存器、通道控制寄存器、通道配置寄存器;

(5) 多层总线:用于双主机接口与外设连接,实现读写操作并行;

(6) 中断请求接口:包括错误中断和计数完成中断(TC 中断),中断信息通过中断控制器送至 CPU 进行处理;

(7) DMA 请求及应答接口:外设需传输数据时发送 DMA 请求信号,当外设对应的通道被服务 DMA 控制器向外设发送应答信号,握手完成。

3 DMA 控制器的具体实现

该 DMA 控制器主要具有:支持两路 AHB 总线主机全双工数据传输、支持 8 个单向传输的 DMA 通道、支持链表结构、支持软/硬件请求、支持四种传输模式等特点。

3.1 全双工结构

该 DMA 控制器具有两个 AHB 主机如图 1 所示,通过多层 AHB 总线架构,可以实现两路 32 位 AHB 总线主机全双工传输数据。主机 1 通过 AHB1 从源外设(可配置)指定区域读取数据暂存在通道 FIFO 中,主机 2 通过 AHB2 将通道 FIFO 的数据写到目的外设的指定区域。读写操作通过两套 AHB 总线并行执行,实现了流水线传输。图 2 为以源起始地址为 A,目的起始地址为 B(半字增量)突发为 7 拍的流水化传输示意图。

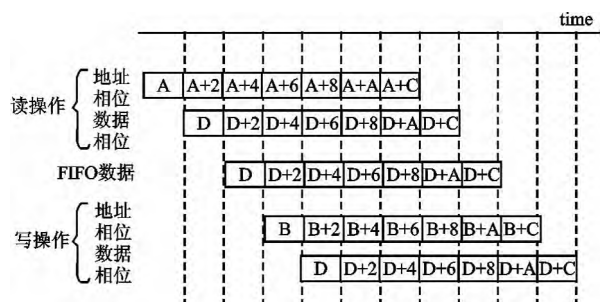


图 2 流水线传输示意图

通过一个 AHB TO AHB 桥可以实现两路 AHB 总线主机异步时的数据传输,如图 3 所示,当外设 SPI 和外设 UART 构成 DMA 控制器处于不同时钟域时,通过 AHB TO AHB 桥进行信息缓存和时序处理,使得 DMA 两个主机接口实现异步传输,如图 4 所示。

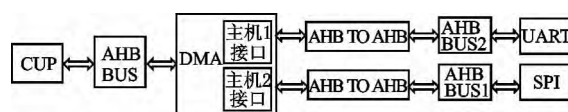


图 3 异步传输结构图

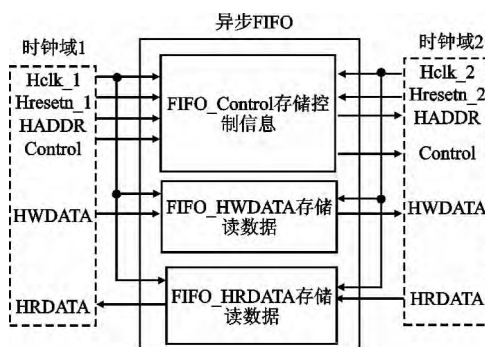


图 4 AHB TO AHB 桥示意图

全双工结构的设计虽然增加了设计成本和复杂度,但是读写操作并行,大大提高了数据传输速率^[7]。对于两个主机接口异步的考虑,使得设计更全

面,提高 IP 模块复用性.

3.2 DMA 的通道模块和优先级

该 DMA 控制器支持 8 个单向传输的 DMA 通道,每个通道都拥有一组通用寄存器和一个深度为 4 个字的 FIFO,如图 1 所示.通道寄存器主要用于配置 DMA 传输方式,FIFO 用于数据缓冲实现读写操作并行.通道配置时,通过 AHB 从机接口将源外设的发送数据的起始地址寄存到源地址寄存器中,目的外设接收数据的起始地址寄存在目的地址寄存器中;写控制寄存器设置数据传输大小,增量寻址,数据宽度、外设选择的主机号及 TC 中断使能位等;写配置寄存器设置中断屏蔽、流控模式、源和目的外设号、通道使能位等;写链表指针寄存器配置第一个要链接的地址块,若不需要链表结构则设置为零.

该 DMA 控制器能同时支持 16 个外设的 DMA 请求,8 通道的设计可以确保能够满足数据传输的基本要求,通道数量适中,并且简化了控制逻辑.当同一时刻有多个 DMA 传输请求时,主机中的仲裁器根据优先级算法仲裁出优先级最高的通道进行服务,每次只能服务一个通道.通道优先级是固定的(通道 $0 > 1 > 2 > 3 > 4 > 5 > 6 > 7$).

当两个 AHB 主机读写操作的传输方式不一致或者读写操作处于不同时钟域时,读写操作不能同时结束.率先完成任务的外设必须等待整个传输完成,对于多层总线来说,大大降低了总线利用率.多通道的设计使得率先完成数据传输任务的外设可以进行下一轮的数据传输,读写操作更独立,避免互锁造成的数据传输延迟.

3.3 链表结构

链表结构的使用减少了 CPU 中断次数及通道初期化时间,实现了连续或不连续物理地址的 DMA 传输,提高了数据传输速率.具体过程为:当服务通道的本次 DMA 传输完成后,DMA 控制器会自动检测链表指针寄存器是否为零,若为零则发送 TC 中断给 CPU 本次传输完成.若不为零,则将链表指针寄存器所指的存储区域中存储的四个字长度的内容更新到源地址寄存器、目的地址寄存器、链表指针寄存器、控制寄存器中(配置寄存器除外),然后等待下一次 DMA 传输请求.链表结构如图 5 所示.

3.4 DMA 请求信号和流控模式

该 DMA 控制器支持软/硬件请求(单传输请求或突发传输请求).软件请求由 CPU 通过从机接口直接写软件请求寄存器发出,硬件请求由外设直接发出.

流控制器控制着本次传输的数据块长度.当 DMA

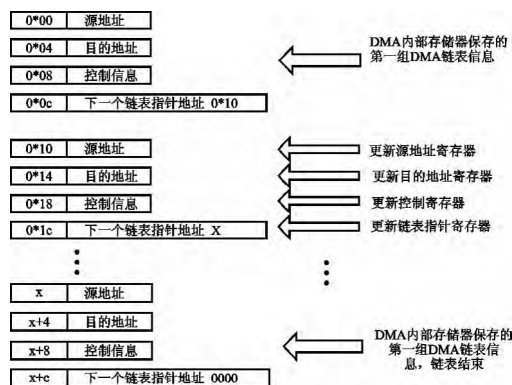


图 5 链表结构

流控时,传输的数据大小由通道控制寄存器的相应位决定,DMA 计数器每传输一个数据减一,计数器为零时传输结束.当外设进行流控时,外设根据自己设置的传输大小发送相应的 DMA 请求信号.

3.5 DMA 传输模式和传输流程

该 DMA 控制器支持四种传输模式:

- (1)存储器到存储器的数据传输;
- (2)存储器到外设的数据传输;
- (3)外设到存储器的数据传输;
- (4)外设到外设的数据传输.

四种模式的传输流程基本相同,只是存储器到存储器的传输不需要发送 DMA 请求信号,而且传输一般使用优先级最低的通道 6 或者 7 进行.当被使能的 6 或 7 通道的优先级最高且 DMA 控制器获得总线控制权,数据传输自动进行,传输大小和设置的宽度有关.传输流程如图 6 所示.

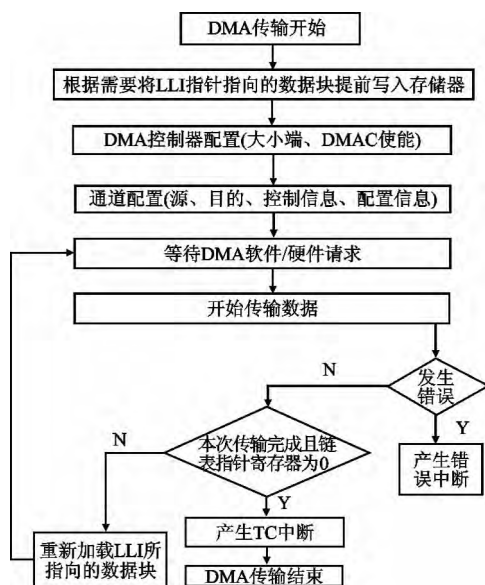


图 6 DMA 传输流程图

4 DMA 控制器设计验证

本设计利用 VHDL 来实现,并搭建了 SOC 验证环境.通过 Modelsim 仿真主要验证了 DMA 的软/硬件请求、通道仲裁、不连续物理地址的传输、流水线传输、四种传输模式下的数据搬运、中断等功能.经过验证,功能和时序结果均符合预期.图 7 为验证环境结构图.

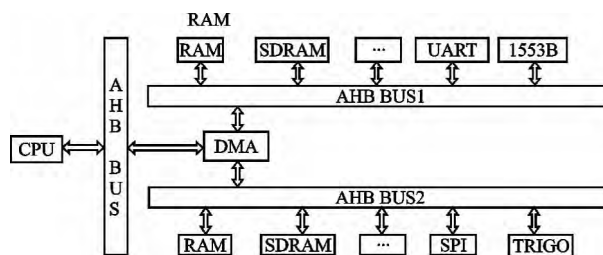


图 7 验证环境

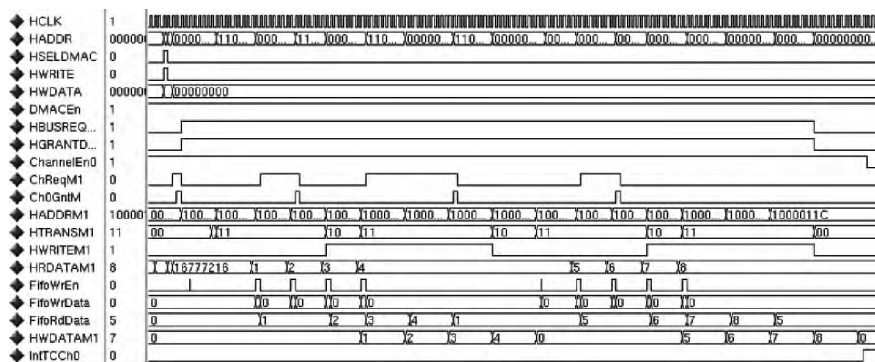


图 8 读写操作串行时序图

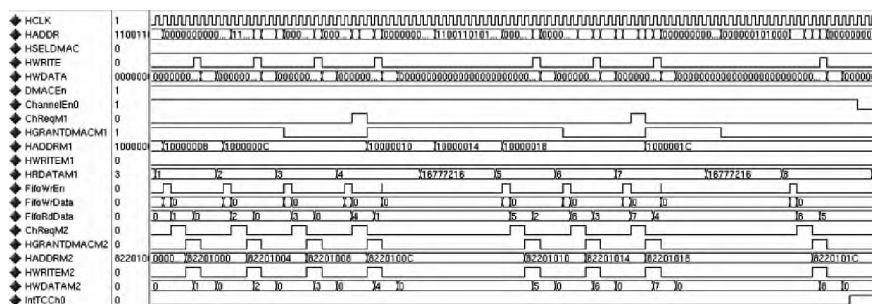


图 9 读写操作并行时序图

对于单工和全双工 DMA 控制器进行传输速率对比(如图 8 和图 9 所示).相比于单工结构,全双工结构读写操作并行,实现了流水线传输,传输速率明显提高.对于高速大批量数据传输,速率提高将更显著.

5 结束语

本文针对 DMA 控制器中普遍存在的读写操作互斥及互锁问题,利用并行传输思想,提出了一种基于 AHB 总线的全双工数据传输的多通道的 DMA 控制器的设计方案.通过硬件语言 VHDL 设计,经过仿真验证,结果表明:本文的设计方案能实现读写操作并行,实现流水线传输,有效解决了读写操作互斥及互锁问题,数据的传输速率明显提高.

参考文献:

- [1] 何琼,陈铁,程鑫. DMA 在实时数据采集系统中的应用[J]. 仪表技术与传感器, 2012(3): 49-52.
- [2] 曹宗凯,胡晨,姚国良. DMA 在内存间数据拷贝中的应用及性能分析[J]. 电子器件, 2007(2): 311-314.
- [3] 陈虎,董会宁,范逵,等. 基于 Interconnect Matrix 结构的多层 AHB 总线设计和实现[J]. 通信技术, 2009, 42(6): 210-214.
- [4] 邹杨,林平分,王普,等. 基于 AMBA 总线的 DMA 控制器 IP 核设计[J]. 应用指南, 2006(7): 87-89.
- [5] 赵强,陈岚. 基于 AHB 总线协议的 DMA 控制器设计[J]. 微电子学与计算机, 2014, 31(2): 129-131.
- [6] 张涛,刘羽楠,李宝魁,等. 基于流水线结构的高速专用 DMA 系统设计[J]. 天津大学学报, 2006(7): 815-819.

(下转第 83 页)

4 实验结果与分析

为了证实该分割方法的优越性,本文从主观评价与客观标准两个方面与传统的方法进行对比^[5-6].

由实验结果可见,从主观与客观的两种标准评判可以得出:(1)直接使用传统的 Sobel 算子的方法处理图像的分割效果比较差。(2)形态学增强 Sobel 算子的方法较传统 Sobel 算子的方法在分割性能上有所提升,但是分割后的图像连通性不好,细节不够丰富,与原始图像有较大的差别。(3)本文方法有很好的分割性能,包含了原始图像的绝大多数信息,细节丰富,分割效果更好。

5 结束语

本文在快速ICA的原理及算法的基础上再结合形态学,得到一种新的图像分割方法,该分割方法不仅改进了快速IAC算法,优化了提取过程,减少了算法的计算量,成功的提取到了边缘图像的独立分量,而且分割后的图像连通性好,细节丰富。实验结果表明,该方法无论是从主观因素分析还是客观标准评价上都优于传统的分割方法。

参考文献:

- [1] 黄丽妍,黄守增,高强.基于改进的独立分量分析的图像分离的研究[J].微电子学与计算机,2006,23(5):210-212.
- [2] 吴小培,冯焕清,周荷琴,等.基于独立分量分析的图像分离技术及应用[J].中国图象图形学报,2001,6A(2):133-137.
- [3] 张翔,刘媚洁,陈立伟.基于数学形态学的边缘提取方法[J].电子科技大学学报,2002,31(5):490-493.
- [4] 闫海霞,赵晓辉.基于数学形态学的边缘检测方法[J].计算机应用研究,2008(11):3494-3498.
- [5] 陈天华.数字图像处理[M].北京:清华大学出版社,2007:249-258.
- [6] MA Y D, QI C L. Study of Automated PCNN system based on genetic algorithm[J]. Journal of System Simulation, 2005, 18(3):722-725.

作者简介:

段先知 男,(1991-),硕士研究生.研究方向为数字图像处理.

钱盛友 男,(1965-),教授,博士生导师.研究方向为生物医学超声等.

丁亚军(通讯作者) 男,(1971-),副教授.研究方向为超声技术及应用. E-mail:yajunding@126.com.

(上接第79页)

- [7] 余在祥,陈海波,孙永节,等.DMA并行传输机制的设计和实现[J].微电子学与计算机,2012,29(2):1-6.
- [8] 史昕蕾,杨军,陆生礼.嵌入式SOC中的DMA控制器的设计和优化[J].电子工程师,2004(1):5-7.

作者简介:

石文侠 女,(1989-),硕士研究生.研究方向为IP设计. E-mail:18009253638@163.com.

吴龙胜 男,(1970-),研究员,总工程师.研究方向为IC设计、SOC设计.

盛廷义 男,(1974-).研究方向为SOC设计.